

Docket No.: YHK-0112

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Joong Seo PARK

Serial No.: New U.S. Patent Application

Filed: December 23, 2003

Customer No.: 34610

For: ENERGY RECOVERING APPARATUS AND METHOD FOR PLASMA
DISPLAY PANEL

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

At the time the above application was filed, priority was claimed based on the
following application:

Korean Patent Application No. P2003-25776 filed April 23, 2003.

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

Daniel Y.J. Kim
Registration No. 36,186

P.O. Box 221200
Chantilly, Virginia 20153-1200
703 766-3701 DYK/dak

Date: December 23, 2003

Please direct all correspondence to Customer Number 34610



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0025776
Application Number

출원년월일 : 2003년 04월 23일
Date of Application

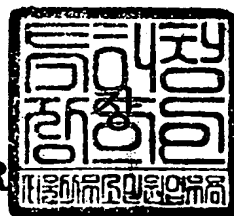
출원인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.



2003 년 07 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【창조번호】	0002
【제출일자】	2003.04.23
【발명의 명칭】	플라즈마 디스플레이 패널의 에너지 회수장치 및 회수방법
【발명의 영문명칭】	ENERGY RECOVERY APPARATUS AND METHOD OF PLASMA DISPLAY PANEL
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	2002-026946-4
【발명자】	
【성명의 국문표기】	박중서
【성명의 영문표기】	PARK, Sam
【주민등록번호】	741111-1683424
【우편번호】	705-808
【주소】	대구광역시 남구 대명1동 1222-36
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김영호 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	17 면 17,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	15 항 589,000 원
【합계】	635,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 강제공진을 이용하여 플라즈마 디스플레이 패널의 충전시간을 짧게 하여 방전특성을 향상시킬 수 있도록 한 플라즈마 디스플레이 패널의 에너지 회수장치 및 회수방법에 관한 것이다.

본 발명은 소스 커패시터로부터의 에너지를 이용하여 인덕터를 충전시키기 위한 제 1 패스와, 상기 소스 커패시터로부터 분리되고 상기 인덕터의 에너지를 플라즈마 디스플레이 패널에 공급하기 위한 제 2 패스를 구비하는 것을 특징으로 한다.

【대표도】

도 4

【명세서】

【발명의 명칭】

플라즈마 디스플레이 패널의 에너지 회수장치 및 회수방법{ENERGY RECOVERY
APPARATUS AND METHOD OF PLASMA DISPLAY PANEL}

【도면의 간단한 설명】

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널을 나타내는 사시도.

도 2는 종래의 플라즈마 디스플레이 패널의 에너지 회수장치를 나타내는 회로도.

도 3은 도 2에 도시된 스위치들의 온/오프 타이밍과 패널 커패시터의 출력 파형을 나타내는 타이밍도 및 파형도.

도 4는 본 발명의 제 1 실시 예에 따른 플라즈마 디스플레이 패널의 에너지 회수장치를 나타내는 회로도.

도 5은 도 4에 도시된 스위치들의 온/오프 타이밍과 패널 커패시터의 출력 파형을 나타내는 타이밍도 및 파형도.

도 6은 도 5에 도시된 T1 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 7은 도 5에 도시된 T2 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 8은 도 5에 도시된 T3 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 9는 도 5에 도시된 T4 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 10은 도 5에 도시된 T5 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 11은 본 발명의 제 2 실시 예에 따른 플라즈마 디스플레이 패널의 에너지 회수 장치를 나타내는 회로도.

도 12는 도 11에 도시된 스위치들의 온/오프 타이밍과 패널 커패시터의 출력 파형을 나타내는 타이밍도 및 파형도.

도 13은 도 11에 도시된 T1 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 14는 도 11에 도시된 T2 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 15는 도 11에 도시된 T3 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 16은 도 11에 도시된 T4 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

도 17은 도 11에 도시된 T5 기간에서의 스위치들의 온/오프 상태 및 전류패스를 나타내는 회로도.

< 도면의 주요 부분에 대한 부호의 설명 >

12Y : 제 1 전극 12Z : 제 2 전극
 14, 22 : 유전체층 16 : 보호막
 18 : 하부기판 20X : 어드레스전극
 24 : 격벽 26 : 형광체층
 30, 32 : 에너지 회수장치

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<24> 본 발명은 플라즈마 디스플레이 패널의 에너지 회수장치 및 회수방법에 관한 것으로, 특히 강제공진을 이용하여 플라즈마 디스플레이 패널의 충전시간을 짧게 하여 방전 특성을 향상시킬 수 있도록 한 플라즈마 디스플레이 패널의 에너지 회수장치 및 회수방법에 관한 것이다.

<25> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판표시장치는 액정표시장치(Liquid Crystal Display : LCD), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하, "PDP"라 함) 및 일렉트로 루미네센스(Electro-Luminescence : EL) 표시장치 등이 있다.

- <26> 이중 PDP는 기체방전을 이용한 표시소자로서 대형패널의 제작이 용이하다는 장점이 있다. PDP로는 도 1에 도시된 바와 같이 3전극을 구비하고 교류전압에 의해 구동되는 3전극 교류 면방전형 PDP가 대표적이다.
- <27> 도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기판(10) 상에 형성되어진 제 1 전극(12Y) 및 제 2 전극(12Z)과, 하부기판(18) 상에 형성되어진 어드레스전극(20X)을 구비한다.
- <28> 제 1 전극(12Y)과 제 2 전극(12Z)이 나란하게 형성된 상부기판(10)에는 상부 유전층(14)과 보호막(16)이 적층된다. 상부 유전층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다.
- <29> 어드레스전극(20X)이 형성된 하부기판(18) 상에는 하부 유전층(22) 및 격벽(24)이 형성되며, 하부 유전층(22)과 격벽(24) 표면에는 형광체(26)가 도포된다. 어드레스전극(20X)은 제 1 전극(12Y) 및 제 2 전극(12Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(20X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다.
- <30> 형광체(26)는 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하판과 격벽 사이에 마련된 방전공간에는 가스방전을 위한 불활성 가스가 주입된다.

- <31> 이러한 3전극 교류 면방전형 PDP는 다수개의 서브필드로 분리되어 구동되고, 각 서브필드기간에는 비디오 데이터의 가중치에 비례시킨 횡수의 발광이 진행됨으로써 계조표시가 행해지게 된다. 서브필드는 다시 초기화 기간, 어드레스 기간, 서스테인 기간 및 소거기간으로 분할되어 구동된다.
- <32> 여기서, 초기화 기간은 방전셀에 균일한 벽전하를 형성하는 기간이고, 어드레스기간은 비디오데이터의 논리값에 따라 선택적인 어드레스방전이 발생하게 하는 기간이며, 서스테인 기간은 상기 어드레스방전이 발생된 방전셀에서 방전이 유지되게 하는 기간이다. 소거기간은 서스테인 기간에 발생된 서스테인 방전을 소거하는 기간이다.
- <33> 이와 같이 구동되는 교류 면방전 PDP의 어드레스 방전 및 서스테인 방전에는 수백 볼트 이상의 고압이 필요하게 된다. 따라서, 어드레스 방전 및 서스테인 방전에 필요한 구동전력을 최소화하기 위하여 에너지 회수장치가 이용된다. 에너지 회수장치는 제 1 전극(12Y) 및 제 2 전극(12Z) 사이의 전압을 회수하여 다음 방전시의 구동전압으로 회수된 전압을 이용한다.
- <34> 도 2를 참조하면, 'Weber(USP-5081400)'에 의해 제안된 PDP의 에너지 회수장치(30, 32)는 패널 커패시터(Cp)를 사이에 두고 서로 대칭적으로 설치된다. 여기서, 패널 커패시터(Cp)는 제 1 전극(Y)과 제 2 전극(Z) 사이에 형성되는 정전용량을 증가적으로 나타낸 것이다. 제 1 에너지 회수장치(30)는 제 1 전극(Y)에 서스테인 펄스를 공급한다. 제 2 에너지 회수장치(32)는 제 1 에너지 회수장치(30)와 교번되게 동작하면서 제 2 전극(Z)에 서스테인 펄스를 공급한다.
- <35> 종래의 PDP의 에너지 회수장치(30, 32)의 구성을 제 1 에너지 회수장치(30)를 참조하여 설명하기로 한다. 제 1 에너지 회수장치(30)는 패널 커패시터(Cp)와 소스 커패시

터(C_s) 사이에 접속된 인덕터(L)와, 소스 커패시터(C_s)와 인덕터(L) 사이에 병렬로 접속된 제 1 및 제 3 스위치(S_1, S_3)와, 패널 커패시터(C_p)와 인덕터(L) 사이에 병렬로 접속된 제 2 및 제 4 스위치(S_2, S_4)를 구비한다.

- <36> 제 2 스위치(S_2)는 서스테인 전압원(V_s)에 접속되고, 제 4 스위치(S_4)는 기저전압원(GND)에 접속된다. 제 1 내지 제 4 스위치(S_1 내지 S_4)는 전류의 흐름을 제어한다.
- <37> 소스 커패시터(C_s)는 서스테인 방전시 패널 커패시터(C_p)에 충전되는 전압을 회수하여 충전함과 아울러 충전된 전압을 패널 커패시터(C_p)에 재공급한다. 이와 같은 소스 커패시터(C_s)에는 서스테인 전압원(V_s)의 절반값에 해당하는 $V_s/2$ 의 전압이 충전된다.
- <38> 인덕터(L)는 패널 커패시터(C_p)와 함께 자연공진 회로를 형성한다. 이 때, 종래의 에너지 회수장치는 인덕터(L)에 에너지를 저장하는 단계와, 인덕터(L)에 저장된 에너지를 패널 커패시터(C_p)에 공급하는 단계가 중첩되게 된다.
- <39> 한편, 제 1 및 제 2 스위치(S_1, S_2)와 인덕터(L)의 사이에는 각각 설치된 제 5 및 제 6 다이오드(D_5, D_6)는 전류가 역방향으로 흐르는 것을 방지한다.
- <40> 도 3은 제 1 에너지 회수장치 스위치들의 온/오프 타이밍과 패널 커패시터의 출력 파형을 나타내는 타이밍도 및 파형도이다.
- <41> T_1 기간 이전에 패널 커패시터(C_p)에는 0 볼트의 전압이 충전됨과 아울러 소스 커패시터(C_s)에는 $V_s/2$ 의 전압이 충전되어 있다고 가정하여 동작과정을 상세히 설명하기로 한다.

- <42> T1 기간에는 제 1 스위치(S1)가 턴-온(Turn-on)되어 소스 커패시터(Cs)로부터 제 1 스위치(S1), 인덕터(L) 및 패널 커패시터(Cp)로 이어지는 전류 패스가 형성된다. 전류 패스가 형성되면 소스 커패시터(Cs)에 충전된 $V_s/2$ 의 전압은 패널 커패시터(Cp)로 공급된다. 이때, 인덕터(L)와 패널 커패시터(Cp)가 직렬 공진회로를 형성하기 때문에 패널 커패시터(Cp)에는 소스 커패시터(Cs) 전압의 2배인 V_s 전압이 충전된다.
- <43> T2 기간에는 제 2스위치(S2)가 턴-온된다. 제 2스위치(S2)가 턴-온되면 서스테인 전압원(V_s)의 전압이 제 1 전극(Y)에 공급된다. 제 1 전극(Y)에 공급되는 서스테인 전압원(V_s)의 전압은 패널 커패시터(Cp)의 전압이 서스테인 전압원(V_s) 이하로 떨어지는 것을 방지하여 서스테인 방전이 정상적으로 일어나도록 한다. 한편, 패널 커패시터(Cp)의 전압은 T1기간에 V_s 까지 상승하였기 때문에 서스테인 방전을 일으키기 위해 외부에서 공급해 주는 구동전력은 최소화된다.
- <44> T3 기간에는 제 1 스위치(S1)가 턴-오프(Turn-off)된다. 이때, 제 1 전극(Y)은 T3의 기간동안 서스테인 전압원(V_s)의 전압을 유지한다. T4 기간에는 제 2 스위치(S2)가 턴-오프됨과 아울러 제 3 스위치(S3)가 턴-온된다. 제 3 스위치(S3)가 턴-온되면 패널 커패시터(Cp)로부터 인덕터(L) 및 제 3 스위치(S3)를 통해 소스 커패시터(Cs)로 이어지는 전류 패스가 형성되어 패널 커패시터(Cp)에 충전된 전압이 소스 커패시터(Cs)로 회수된다. 이때, 소스 커패시터(Cs)에는 $V_s/2$ 의 전압이 충전된다.
- <45> T5 기간에는 제 3 스위치(S3)가 턴-오프됨과 아울러 제 4 스위치(S4)가 턴-온된다. 제 4 스위치(S4)가 턴-온되면 패널 커패시터(Cp)와 기저전압원(GND)간의 전류패스가 형성되어 패널 커패시터(Cp)의 전압이 0볼트로 하강한다. T6 기간에는 T5 상태를 일정 시

간동안 유지한다. 실제로, 제 1 전극(Y) 및 제 2 전극(Z)에 공급되는 교류 구동펄스는 T1 내지 T6 기간이 주기적으로 반복되면서 얻어지게 된다.

<46> 한편, 제 2 에너지 회수장치(32)는 제 1 에너지 회수장치(30)와 교번적으로 동작하면서 패널 커패시터(Cp)에 구동전압을 공급하게 된다. 따라서, 패널 커패시터(Cp)에는 서로 반대 극성을 가지는 서스테인 펄스전압(Vs)이 공급되게 된다. 이와 같이 패널 커패시터(Cp)에 서로 반대 극성을 가지는 서스테인 펄스전압(Vs)이 공급됨으로써 방전셀들에서 서스테인 방전이 일어나게 된다.

<47> 하지만, 이와 같은 종래의 에너지 회수장치(30, 32)들은 제 1 전극(Y) 측에 설치된 제 1 에너지 회수장치(30) 및 제 2 전극(Z) 측에 설치된 제 2 에너지 회수장치(32)가 각각 동작함으로써 많은 회로부품들(스위칭 소자 등)이 필요하게 되고, 이에 따라 제조비용이 상승되는 문제점이 있다. 아울러, 전류의 패스 상의 다수의 스위치들(다이오드, 스위칭소자, 인덕터)의 도통손실로 인하여 많은 소비전력이 소모되게 된다.

【발명이 이루고자 하는 기술적 과제】

<48> 따라서, 본 발명의 목적은 강제공진을 이용하여 플라즈마 디스플레이 패널의 충전 시간을 짧게 하여 방전특성을 향상시킬 수 있도록 한 플라즈마 디스플레이 패널의 에너지 회수장치 및 회수방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <49> 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 에너지 회수장치는 소스 커패시터로부터의 에너지를 이용하여 인덕터를 충전시키기 위한 제 1 패스와, 상기 소스 커패시터로부터 분리되고 상기 인덕터의 에너지를 플라즈마 디스플레이 패널에 공급하기 위한 제 2 패스를 구비하는 것을 특징으로 한다.
- <50> 상기 에너지 회수장치는 서스테인 전압원으로부터의 전압을 상기 패널에 충전시키기 위한 제 3 패스와, 상기 패널에 충전된 에너지를 회수하여 상기 인덕터를 통해 상기 소스 커패시터에 충전시키기 제 4 패스와, 기저전압원으로부터의 전압을 상기 패널에 충전시키기 위한 제 5 패스를 더 구비하는 것을 특징으로 한다.
- <51> 상기 에너지 회수장치에서 상기 제 1 패스는 기저전압원에 접속된 상기 소스 커패시터의 제 2 단자와 상기 인덕터의 제 1 단자 사이에 접속된 제 1 스위치 소자와, 상기 인덕터의 제 2 단자와 상기 기저전압원 사이에 접속된 제 2 스위치 소자를 구비하는 것을 특징으로 한다.
- <52> 상기 에너지 회수장치에서 상기 제 1 및 제 2 스위치 소자는 상기 제 1 패스를 통해 상기 소스 커패시터로부터의 에너지를 상기 인덕터에 충전시키는 동안에 턴-온 상태를 유지하고, 상기 인덕터에 에너지가 충전된 상태에서 상기 제 1 패스를 차단하여 상기 인덕터에 역전압을 유기시키는 것을 특징으로 한다.
- <53> 상기 에너지 회수장치에서 상기 제 2 패스는 상기 인덕터의 제 2 단자와 상기 패널 사이에 접속되는 제 3 스위치 소자와, 상기 인덕터의 제 1 단자와 상기 제 1 스위치 소

자 사이의 노드와 상기 기저전압원 사이에 접속되고 상기 인덕터로부터의 에너지를 상기 패널에 공급하기 위한 패스를 형성하는 다이오드를 구비하는 것을 특징으로 한다.

- <54> 상기 에너지 회수장치에서 상기 제 3 스위치 소자는 상기 제 1 및 제 2 스위치 소자가 턴-오프될 때 턴-온되어 상기 인덕터에 유기된 상기 역전압을 상기 패널에 공급하는 것을 특징으로 한다.
- <55> 상기 에너지 회수장치에서 상기 제 3 패스는 상기 서스테인 전압원과 상기 패널 사이에 접속되는 제 4 스위치 소자를 구비하는 것을 특징으로 한다.
- <56> 상기 에너지 회수장치에서 상기 제 4 패스는 상기 제 1 스위치 소자 및 상기 제 3 스위치 소자를 구비하는 것을 특징으로 한다.
- <57> 상기 에너지 회수장치에서 상기 제 2 및 제 4 패스 각각은 상기 인덕터와 상기 제 3 스위치 사이에 접속된 제 5 스위치 소자를 더 구비하는 것을 특징으로 한다.
- <58> 상기 에너지 회수장치에서 상기 제 1 내지 제 3 스위치 소자 각각에는 제 1 바이어스 방향을 가지는 제 1 다이오드가 병렬로 접속되고, 상기 제 5 스위치 소자에는 상기 제 1 바이어스 방향과 반대인 제 2 바이어스 방향을 가지는 제 2 다이오드가 병렬로 접속되는 것을 특징으로 한다.
- <59> 상기 에너지 회수장치에서 상기 제 5 스위치는 상기 제 2 패스에서는 턴-오프상태가 되고 상기 제 4 패스에서는 턴-온상태가 되는 것을 특징으로 한다.
- <60> 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 에너지 회수방법은 소스 커패시터와 인덕터를 포함하는 제 1 패스를 이용하여 상기 소스 커패시터로부터의 에너지를 상기 인덕터를 충전시키는 제 1 단계와, 상기 소스 커패시터로부터 분리되고 상기 인

덕터와 플라즈마 디스플레이 패널을 포함하는 제 2 패스를 이용하여 상기 인덕터의 에너지를 패널에 공급하는 제 2 단계를 포함하는 것을 특징으로 한다.

<61> 상기 에너지 회수방법은 서스테인 전압원과 상기 패널을 포함하는 제 3 패스를 이용하여 상기 서스테인 전압원으로부터의 전압을 상기 패널에 충전시키는 제 3 단계와, 상기 패널과 상기 인덕터 및 소스 커패시터를 포함하는 제 4 패스를 이용하여 상기 패널에 충전된 에너지를 회수하여 상기 소스 커패시터에 충전시키는 제 4 단계와, 기저전압원과 상기 패널을 포함하는 제 5 패스를 이용하여 상기 기저전압원으로부터의 전압을 상기 패널에 충전시키는 제 5 단계를 더 포함하는 것을 특징으로 한다.

<62> 상기 에너지 회수방법에서 상기 제 1 단계는 상기 제 1 패스를 통해 상기 소스 커패시터로부터의 에너지를 상기 인덕터에 충전시키는 단계와, 상기 인덕터에 에너지가 충전된 상태에서 상기 제 1 패스를 차단하여 상기 인덕터에 역전압을 유지시키는 단계를 포함하는 것을 특징으로 한다.

<63> 상기 에너지 회수방법에서 상기 제 2 단계는 상기 제 2 패스를 통해 상기 인덕터에 유지된 상기 역전압을 상기 패널에 충전시키는 단계를 포함하는 것을 특징으로 한다.

<64> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<65> 이하, 도 4 내지 도 17을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

<66> 도 4를 참조하면, 본 발명의 제 1 실시 예에 따른 플라즈마 디스플레이 패널 (Plasma Display Panel : 이하, "PDP"라 함)은 제 1 전극(Y)과 제 2 전극(Z) 사이에 형

성되는 등가적인 정전용량인 패널 커패시터(C_p)와, 패널 커패시터(C_p)와 기저전압원(GND) 사이에 접속되는 소스 커패시터(C_s)와, 패널 커패시터(C_p)와 소스 커패시터(C_s) 사이에 접속되는 인덕터(L)와, 소스 커패시터(C_s)와 인덕터(L) 사이에 접속되는 제 1 스위치(SW1)와, 인덕터(L)와 패널 커패시터(C_p)의 제 1 전극(Y) 사이에 형성되는 제 1 노드점(N1)과 기저전압원(GND) 사이에 접속되는 제 2 스위치(SW2)와, 제 1 노드점(N1)과 패널 커패시터(C_p)의 제 1 전극(Y) 사이에 접속되는 제 3 스위치(SW3)와, 제 3 스위치(SW3)와 패널 커패시터(C_p)의 제 1 전극(Y) 사이에 형성되는 제 2 노드점(N2)과 서스테인 전압원(V_s) 사이에 접속되는 제 4 스위치(SW4)와, 제 1 스위치(SW1)와 인덕터(L) 사이에 형성되는 제 3 노드점(N3)과 기저전압원(GND) 사이에 접속되는 다이오드(D)를 구비한다.

<67> 서스테인 전압원(V_s)은 패널 커패시터(C_p)에 공급되는 서스테인 전압(V_s)을 발생한다.

<68> 인덕터(L)는 소스 커패시터(C_s)와의 강제공진에 의해 소스 커패시터(C_p)로부터의 에너지를 저장하였다가 저장된 에너지를 패널 커패시터(C_p)에 공급한다. 이 때, 인덕터(L)에 에너지를 저장하는 동안에는 패널 커패시터(C_p)에는 에너지가 공급되지 않는다. 이와 같이, 인덕터(L)와 소스 커패시터(C_p) 간의 강제공진에 의해 인덕터(L)에 에너지를 저장하였다가 인덕터(L)에 저장된 에너지를 패널 커패시터(C_p)에 공급하게 되므로 서스테인 펄스는 빠른 상승 기울기를 가지게 된다.

<69> 제 1 내지 제 4 스위치(SW1 내지 SW4) 각각은 전류의 흐름을 제어하게 된다.

- <70> 다이오드(D)는 인덕터(L) 및 소스 커패시터(Cs)로부터의 역방향 전류를 차단하게 된다. 또한, 인덕터(L)로부터의 에너지를 패널 커패시터(Cp)에 공급하기 위한 패스를 형성한다.
- <71> 도 5는 도 4에 도시된 본 발명의 제 1 실시 예에 따른 PDP의 에너지 회수장치에서 각 스위치들의 온/오프 타이밍과 패널 커패시터에 인가되는 전압을 나타내는 타이밍도 및 파형도이다.
- <72> T1 기간 이전에 패널 커패시터(Cp)에는 0 볼트의 전압이 충전됨과 아울러 소스 커패시터(Cs)에는 일정전압이 충전되어 있다고 가정하여 동작과정을 상세히 설명하기로 한다.
- <73> T1 기간에는 제 1 및 제 2 스위치(SW1, SW2)가 턴-온(Turn-on)되어 소스 커패시터(Cs), 제 1 스위치(S1), 제 3 노드점(N3), 인덕터(L), 제 1 노드점(N1), 제 2 스위치(SW2) 및 기저전압원(GND)으로 이어지는 전류 패스가 형성된다. 이에 따라, 인덕터(L)와 소스 커패시터(Cs) 간의 직렬 강제공진 회로가 형성된다. 이로 인하여, 인덕터(L)는 소스 커패시터(Cs)로부터의 에너지를 저장하게 된다. 이 때, 인덕터(L)에 저장되는 에너지는 제 1 및 제 2 스위치(SW1, SW2)의 스위칭 타이밍에 따라 조절하게 된다.
- <74> T2 기간에는 제 1 및 제 2 스위치(SW1, SW2)가 턴-오프(Turn-off)됨과 동시에 제 3 스위치(SW3)가 턴-온된다. 제 3 스위치(SW3)가 턴-온됨으로써 기저전압원(GND), 다이오드(D), 제 3 노드점(N3), 인덕터(L), 제 1 노드점(N1), 제 3 스위치(SW3), 제 2 노드점(N2), 패널 커패시터(Cp) 및 기저전압원(GND)으로 이어지는 전류 패스가 형성된다. 이 때, 인덕터(L)에는 제 1 및 제 2 스위치(SW1, SW2)가 턴-오프(Turn-off)되는 순간 역전압이 유기되고, 유기된 역전압은 상기 전류 패스를 통해 패널 커패시터(Cp)에 공급된다.

이에 따라, 패널 커패시터(C_p)는 인덕터(L)로부터 공급되는 역전압을 충전하게 된다.

이 때, 패널 커패시터(C_p)의 전압(V_{cp})은 0볼트의 전압에서 인덕터(L)에서 공급되는 역전압만큼 빠른 기울기로 상승하게 된다.

<75> T3 기간에는 제 3 스위치(SW3)가 턴-오프되고 제 4 스위치(SW4)가 턴-온된다. 제 4 스위치(SW4)가 턴-온됨으로써 서스테인 전압원(V_s), 제 4 스위치(SW4), 제 2 노드점(N2), 패널 커패시터(C_p) 및 기저전압원(GND)으로 이어지는 전류 패스가 형성된다. 이로 인하여, 서스테인 전압원(V_s)으로부터의 서스테인 전압(V_s)이 패널 커패시터(C_p)의 제 1 전극(Y)에 공급된다. 패널 커패시터(C_p)의 제 1 전극(Y)에 공급되는 서스테인 전압원(V_s)의 전압은 패널 커패시터(C_p)의 전압이 서스테인 전압원(V_s) 이하로 떨어지는 것을 방지하여 서스테인 방전이 정상적으로 일어나도록 한다.

<76> T4 기간에는 제 4 스위치(SW4)가 턴-오프되고 제 1 및 제 3 스위치(SW1, SW3)가 턴-온된다. 제 1 및 제 3 스위치(SW1, SW3)가 턴-온되면 패널 커패시터(C_p), 제 2 노드점(N2), 제 3 스위치(SW3), 제 1 노드점(N1), 인덕터(L), 제 3 노드점(N3), 제 1 스위치(SW1), 소스 커패시터(C_s) 및 기저전압원(GND)으로 이어지는 전류 패스가 형성된다. 이에 따라, 패널 커패시터(C_p)에 충전된 전압은 상기 전류 패스를 통해 소스 커패시터(C_s)로 회수된다.

<77> T5 기간에는 제 1 스위치(SW1)가 턴-오프되고, 제 2 스위치(SW3)가 턴-온 상태를 유지함과 아울러 제 2 스위치(SW2)가 턴-온된다. 이에 따라, 패널 커패시터(C_p), 제 2 노드점(N2), 제 3 스위치(SW3), 제 1 노드점(N1), 제 2 스위치(SW2) 및 기저전압원(GND)으로 이어지는 전류 패스가 형성된다. 이로 인하여, 패널 커패시터(C_p)는 상기 전류 패스를 통해 기저전압(GND)으로 하강하게 된다.

- <78> T6 기간에는 T5 상태를 일정 시간동안 유지한다. 실제로, 패널 커패시터(C_p)에 공급되는 서스테인 펄스는 T1 내지 T6 기간이 주기적으로 반복되면서 얻어지게 된다.
- <79> 이와 같은, 본 발명의 제 1 실시 예에 따른 PDP의 에너지 회수장치 및 회수방법은 소스 커패시터(C_s)와 인덕터(L) 간의 강제 공진을 이용하여 소스 커패시터(C_s)에 저장된 에너지를 인덕터(L)에 저장하고, 저장된 에너지를 패널 커패시터(C_p)에 공급하게 된다. 이 때, 소스 커패시터(C_s)에 저장된 에너지를 인덕터(L)에 저장하는 동안에는 패널 커패시터(C_p)에는 에너지가 공급되지 않는다. 이에 따라, 본 발명은 강제 공진에 의해 인덕터에 저장된 에너지를 패널 커패시터에 충전시키게 되므로 패널 커패시터(C_p)에 공급되는 서스테인 펄스의 상승 기울기를 빠르게 하여 패널 커패시터(C_p)에 충전되는 에너지의 충전시간을 줄일 수 있다. 따라서, 서스테인 펄스의 빠른 상승 기울기로 인하여 방전 특성을 향상시킬 수 있게 된다.
- <80> 한편, 도 11을 참조하면 본 발명의 제 2 실시 예에 따른 PDP의 에너지 회수장치는 제 1 전극(Y)과 제 2 전극(Z) 사이에 형성되는 등가적인 정전용량인 패널 커패시터(C_p)와, 패널 커패시터(C_p)와 기저전압원(GND) 사이에 접속되는 소스 커패시터(C_s)와, 패널 커패시터(C_p)와 소스 커패시터(C_s) 사이에 접속되는 인덕터(L)와, 소스 커패시터(C_s)와 인덕터(L) 사이에 접속되는 제 1 스위치 소자(Q1)와, 인덕터(L)와 패널 커패시터(C_p)의 제 1 전극(Y) 사이에 형성되는 제 1 노드점(N1)과 기저전압원(GND) 사이에 접속되는 제 2 스위치 소자(Q2)와, 제 1 노드점(N1)과 패널 커패시터(C_p)의 제 1 전극(Y) 사이에 접속되는 제 3 스위치 소자(Q3)와, 제 3 스위치 소자(Q3)와 패널 커패시터(C_p)의 제 1 전극(Y) 사이에 형성되는 제 2 노드점(N2)과 서스테인 전압원(V_s) 사이에 접속되는 제 4 스위치 소자(Q4)와, 제 3 스위치 소자(Q3)와 인덕터(L) 사이에 접속되는 제 5 스위치 소

자(Q5)와, 제 1 스위치 소자(Q1)와 인덕터(L) 사이에 형성되는 제 3 노드점(N3)과 기저 전압원(GND) 사이에 접속되는 다이오드(D)를 구비한다.

<81> 서스테인 전압원(V_s)은 패널 커패시터(C_p)에 공급되는 서스테인 전압(V_s)을 발생한다.

<82> 인덕터(L)는 소스 커패시터(C_s)와의 강제공진에 의해 소스 커패시터(C_p)로부터의 에너지를 저장하였다가 저장된 에너지를 패널 커패시터(C_p)에 공급한다. 이 때, 인덕터(L)에 에너지를 저장하는 동안에는 패널 커패시터(C_p)에는 에너지가 공급되지 않는다. 이와 같이, 인덕터(L)와 소스 커패시터(C_p) 간의 강제공진에 의해 인덕터(L)에 에너지를 저장하였다가 인덕터(L)에 저장된 에너지를 패널 커패시터(C_p)에 공급하게 되므로 서스테인 펄스는 빠른 상승 기울기를 가지게 된다.

<83> 제 1 내지 제 5 스위치 소자(Q1 내지 Q5) 각각은 전류의 흐름을 제어하게 된다. 이러한, 제 1 내지 제 5 스위치 소자(Q1 내지 Q5)들 각각에는 제 1 내지 제 5 다이오드가 각각 병렬로 접속된다. 제 1 내지 제 5 다이오드들은 제 1 내지 제 5 스위치 소자(Q1 내지 Q5)의 내부 다이오드들로 이용될 수 있다. 또한, 제 1 내지 제 5 다이오드들은 외부 다이오드들로 이용될 수 있다. 이 때, 제 1 내지 제 4 다이오드는 동일한 바이어스 방향으로 접속되고, 제 5 다이오드는 제 1 내지 제 4 다이오드들과 반대의 바이어스 방향으로 접속된다.

<84> 한편, 제 1 내지 제 5 스위치 소자(Q1 내지 Q5) 각각은 반도체 스위치 소자 예를 들면, MOS FET, IGBT, SCR, BJT 중 어느 하나가 사용된다.

- <85> 다이오드(D)는 인덕터(L) 및 소스 커패시터(Cs)로부터의 역방향 전류를 차단하게 된다. 또한, 인덕터(L)로부터의 에너지를 패널 커패시터(Cp)에 공급하기 위한 패스를 형성한다.
- <86> 도 12는 도 11에 도시된 본 발명의 제 2 실시 예에 따른 PDP의 에너지 회수장치에서 각 스위치들의 온/오프 타이밍과 패널 커패시터에 인가되는 전압을 나타내는 타이밍도 및 파형도이다.
- <87> T1 기간 이전에 패널 커패시터(Cp)에는 0 볼트의 전압이 충전됨과 아울러 소스 커패시터(Cs)에는 일정전압이 충전되어 있다고 가정하여 동작과정을 상세히 설명하기로 한다.
- <88> T1 기간에는 제 1 및 제 2 스위치 소자(Q1, Q2)가 턴-온(Turn-on)되어 소스 커패시터(Cs), 제 1 스위치(S1), 제 3 노드점(N3), 인덕터(L), 제 1 노드점(N1), 제 2 스위치(SW2) 및 기저전압원(GND)으로 이어지는 전류 패스가 형성된다. 이에 따라, 인덕터(L)와 소스 커패시터(Cs) 간의 직렬 강제공진 회로가 형성된다. 이로 인하여, 인덕터(L)는 소스 커패시터(Cs)로부터의 에너지를 저장하게 된다. 이 때, 인덕터(L)에 저장되는 에너지는 제 1 및 제 2 스위치 소자(Q1, Q2)의 스위칭 타이밍에 따라 조절하게 된다.
- <89> T2 기간에는 제 1 및 제 2 스위치 소자(Q1, Q2)가 턴-오프(Turn-off)됨과 동시에 제 3 스위치 소자(Q3)가 턴-온된다. 제 3 스위치 소자(Q3)가 턴-온됨으로써 기저전압원(GND), 다이오드(D), 제 3 노드점(N3), 인덕터(L), 제 1 노드점(N1), 제 5 스위치 소자(Q5)의 다이오드, 제 3 스위치 소자(Q3), 제 2 노드점(N2), 패널 커패시터(Cp) 및 기저전압원(GND)으로 이어지는 전류 패스가 형성된다. 이 때, 인덕터(L)에는 제 1 및 제 2 스위치 소자(Q1, Q2)가 턴-오프(Turn-off)되는 순간 역전압이 유기되고, 유기된 역전압

은 상기 전류 패스를 통해 패널 커패시터(C_p)에 공급된다. 이에 따라, 패널 커패시터(C_p)는 인덕터(L)로부터 공급되는 역전압을 충전하게 된다. 이 때, 패널 커패시터(C_p)의 전압(V_{cp})은 0볼트의 전압에서 인덕터(L)에서 공급되는 역전압만큼 빠른 기울기로 상승하게 된다.

<90> T3 기간에는 제 3 스위치 소자(Q_3)가 턴-오프되고 제 4 스위치 소자(Q_4)가 턴-온된다. 제 4 스위치 소자(Q_4)가 턴-온됨으로써 서스테인 전압원(V_s), 제 4 스위치 소자(Q_4), 제 2 노드점(N_2), 패널 커패시터(C_p) 및 기저전압원(GND)으로 이어지는 전류 패스가 형성된다. 이로 인하여, 서스테인 전압원(V_s)으로부터의 서스테인 전압(V_s)이 패널 커패시터(C_p)의 제 1 전극(Y)에 공급된다. 패널 커패시터(C_p)의 제 1 전극(Y)에 공급되는 서스테인 전압원(V_s)의 전압은 패널 커패시터(C_p)의 전압이 서스테인 전압원(V_s) 이하로 떨어지는 것을 방지하여 서스테인 방전이 정상적으로 일어나도록 한다.

<91> T4 기간에는 제 4 스위치 소자(Q_4)가 턴-오프되고 제 5 스위치 소자(Q_5)가 턴-온된다. 제 5 스위치 소자(Q_5)가 턴-온되면 패널 커패시터(C_p), 제 2 노드점(N_2), 제 3 스위치 소자(Q_3)의 다이오드, 제 5 스위치 소자(Q_5), 제 1 노드점(N_1), 인덕터(L), 제 3 노드점(N_3), 제 1 스위치 소자(Q_1)의 다이오드, 소스 커패시터(C_s) 및 기저전압원(GND)으로 이어지는 전류 패스가 형성된다. 이에 따라, 패널 커패시터(C_p)에 충전된 전압은 상기 전류 패스를 통해 소스 커패시터(C_s)로 회수된다.

<92> T5 기간에는 제 5 스위치 소자(Q_5)가 턴-온 상태를 유지함과 아울러 제 2 스위치 소자(Q_2)가 턴-온된다. 이에 따라, 패널 커패시터(C_p), 제 2 노드점(N_2), 제

3 스위치 소자(Q3)의 다이오드, 제 5 스위치 소자(Q5), 제 1 노드점(N1), 제 2 스위치 소자(Q2) 및 기저전압원(GND)으로 이어지는 전류 패스가 형성된다. 이로 인하여, 패널 커패시터(Cp)는 상기 전류 패스를 통해 기저전압(GND)으로 하강하게 된다.

<93> T6 기간에는 T5 상태를 일정 시간동안 유지한다. 실제로, 패널 커패시터(Cp)에 공급되는 서스테인 펄스는 T1 내지 T6 기간이 주기적으로 반복되면서 얻어지게 된다.

<94> 이와 같은, 본 발명의 제 2 실시 예에 따른 PDP의 에너지 회수장치 및 회수방법은 소스 커패시터(Cs)와 인덕터(L) 간의 강제 공진을 이용하여 소스 커패시터(Cs)에 저장된 에너지를 인덕터(L)에 저장하고, 저장된 에너지를 패널 커패시터(Cp)에 공급하게 된다. 이 때, 소스 커패시터(Cs)에 저장된 에너지를 인덕터(L)에 저장하는 동안에는 패널 커패시터(Cp)에는 에너지가 공급되지 않는다. 이에 따라, 본 발명은 강제 공진에 의해 인덕터에 저장된 에너지를 패널 커패시터에 충전시키게 되므로 패널 커패시터(Cp)에 공급되는 서스테인 펄스의 상승 기울기를 빠르게 하여 패널 커패시터(Cp)에 충전되는 에너지의 충전시간을 줄일 수 있다. 따라서, 서스테인 펄스의 빠른 상승 기울기로 인하여 방전 특성을 향상시킬 수 있게 된다.

【발명의 효과】

<95> 상술한 바와 같이, 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 에너지 회수장치 및 회수방법은 소스 커패시터와 인덕터 간의 강제 공진을 이용하여 소스 커패시터에 저장된 에너지를 인덕터에 저장하고, 저장된 에너지를 패널 커패시터에 공급하게 된다. 이에 따라, 본 발명은 강제 공진에 의해 인덕터에 저장된 에너지를 패널 커패시

터에 충전시키게 되므로 패널 커패시터에 공급되는 서스테인 펄스의 상승 기울기를 빠르게 하여 패널 커패시터에 충전되는 에너지의 충전시간을 줄일 수 있다. 따라서, 서스테인 펄스의 빠른 상승 기울기로 인하여 방전특성을 향상시킬 수 있게 된다.

<96> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

【특허청구범위】**【청구항 1】**

소스 커패시터로부터의 에너지를 이용하여 인덕터를 충전시키기 위한 제 1 패스와,

상기 소스 커패시터로부터 분리되고 상기 인덕터의 에너지를 플라즈마 디스플레이 패널에 공급하기 위한 제 2 패스를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

【청구항 2】

제 1 항에 있어서,

서스테인 전압원으로부터의 전압을 상기 패널에 충전시키기 위한 제 3 패스와,

상기 패널에 충전된 에너지를 회수하여 상기 인덕터를 통해 상기 소스 커패시터에 충전시키기 제 4 패스와,

기저전압원으로부터의 전압을 상기 패널에 충전시키기 위한 제 5 패스를 더 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

【청구항 3】

제 1 항에 있어서,

상기 제 1 패스는,

기저전압원에 접속된 상기 소스 커패시터의 제 2 단자와 상기 인덕터의 제 1 단자 사이에 접속된 제 1 스위치 소자와,

상기 인덕터의 제 2 단자와 상기 기저전압원 사이에 접속된 제 2 스위치 소자를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

【청구항 4】

제 3 항에 있어서,

상기 제 1 및 제 2 스위치 소자는,

상기 제 1 패스를 통해 상기 소스 커패시터로부터의 에너지를 상기 인덕터에 충전시키는 동안에 턴-온 상태를 유지하고,

상기 인덕터에 에너지가 충전된 상태에서 상기 제 1 패스를 차단하여 상기 인덕터에 역전압을 유기시키는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

【청구항 5】

제 4 항에 있어서,

상기 제 2 패스는,

상기 인덕터의 제 2 단자와 상기 패널 사이에 접속되는 제 3 스위치 소자와,

상기 인덕터의 제 1 단자와 상기 제 1 스위치 소자 사이의 노드와 상기 기저전압원 사이에 접속되고 상기 인덕터로부터의 에너지를 상기 패널에 공급하기 위한 패스를 형성하는 다이오드를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

【청구항 6】

제 5 항에 있어서,

상기 제 3 스위치 소자는 상기 제 1 및 제 2 스위치 소자가 턴-오프될 때 턴-온되어 상기 인덕터에 유기된 상기 역전압을 상기 패널에 공급하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

【청구항 7】

제 2 항에 있어서,

상기 제 3 패스는 상기 서스테인 전압원과 상기 패널 사이에 접속되는 제 4 스위치 소자를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

【청구항 8】

제 5 항에 있어서,

상기 제 4 패스는 상기 제 1 스위치 소자 및 상기 제 3 스위치 소자를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

【청구항 9】

제 8 항에 있어서,

상기 제 2 및 제 4 패스 각각은 상기 인덕터와 상기 제 3 스위치 사이에 접속된 제 5 스위치 소자를 더 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

【청구항 10】

제 9 항에 있어서,

상기 제 1 내지 제 3 스위치 소자 각각에는 제 1 바이어스 방향을 가지는 제 1 다이오드가 병렬로 접속되고,

상기 제 5 스위치 소자에는 상기 제 1 바이어스 방향과 반대인 제 2 바이어스 방향을 가지는 제 2 다이오드가 병렬로 접속되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

【청구항 11】

제 10 항에 있어서,

상기 제 5 스위치는,

상기 제 2 패스에서는 턴-오프상태가 되고 상기 제 4 패스에서는 턴-온상태가 되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수장치.

【청구항 12】

소스 커패시터와 인덕터를 포함하는 제 1 패스를 이용하여 상기 소스 커패시터로부터의 에너지를 상기 인덕터를 충전시키는 제 1 단계와,

상기 소스 커패시터로부터 분리되고 상기 인덕터와 플라즈마 디스플레이 패널을 포함하는 제 2 패스를 이용하여 상기 인덕터의 에너지를 패널에 공급하는 제 2 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수방법.

【청구항 13】

제 12 항에 있어서,

서스테인 전압원과 상기 패널을 포함하는 제 3 패스를 이용하여 상기 서스테인 전압원으로부터의 전압을 상기 패널에 충전시키는 제 3 단계와,

상기 패널과 상기 인덕터 및 소스 커패시터를 포함하는 제 4 패스를 이용하여 상기 패널에 충전된 에너지를 회수하여 상기 소스 커패시터에 충전시키는 제 4 단계와,

기저전압원과 상기 패널을 포함하는 제 5 패스를 이용하여 상기 기저전압원으로부터의 전압을 상기 패널에 충전시키는 제 5 단계를 더 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수방법.

【청구항 14】

제 12 항에 있어서,

상기 제 1 단계는,

상기 제 1 패스를 통해 상기 소스 커패시터로부터의 에너지를 상기 인덕터에 충전시키는 단계와,

상기 인덕터에 에너지가 충전된 상태에서 상기 제 1 패스를 차단하여 상기 인덕터에 역전압을 유기시키는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수방법.

【청구항 15】

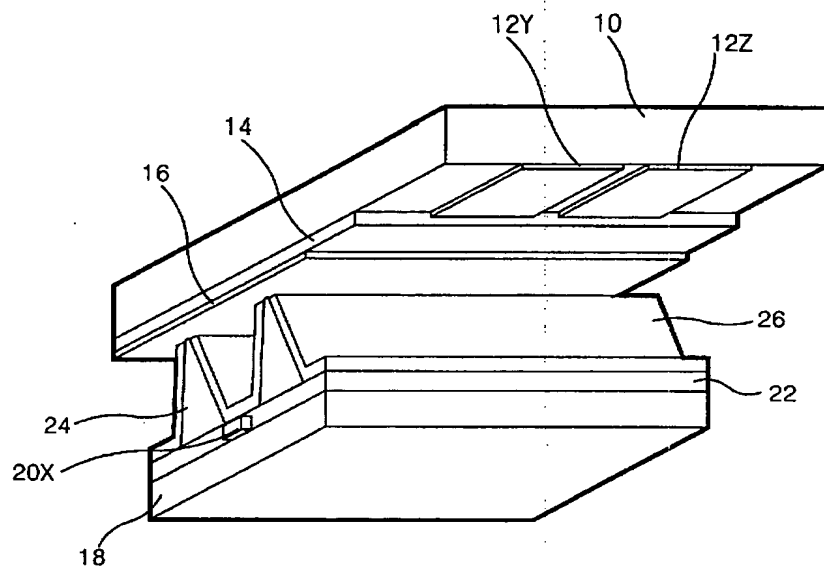
제 14 항에 있어서,

상기 제 2 단계는,

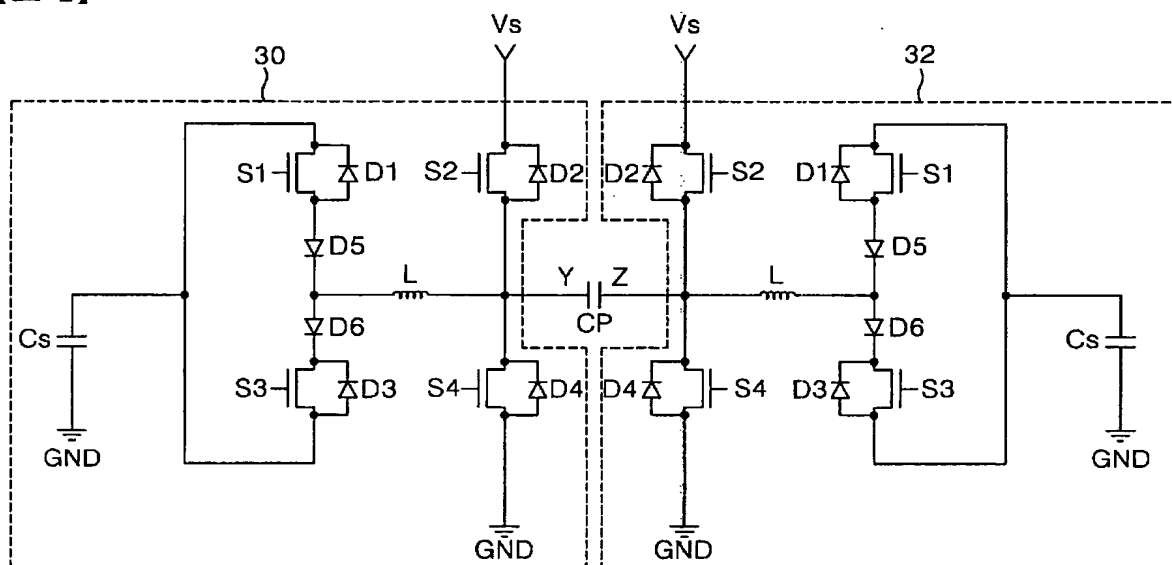
상기 제 2 패스를 통해 상기 인덕터에 유기된 상기 역전압을 상기 패널에 충전시키는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수방법.

【도면】

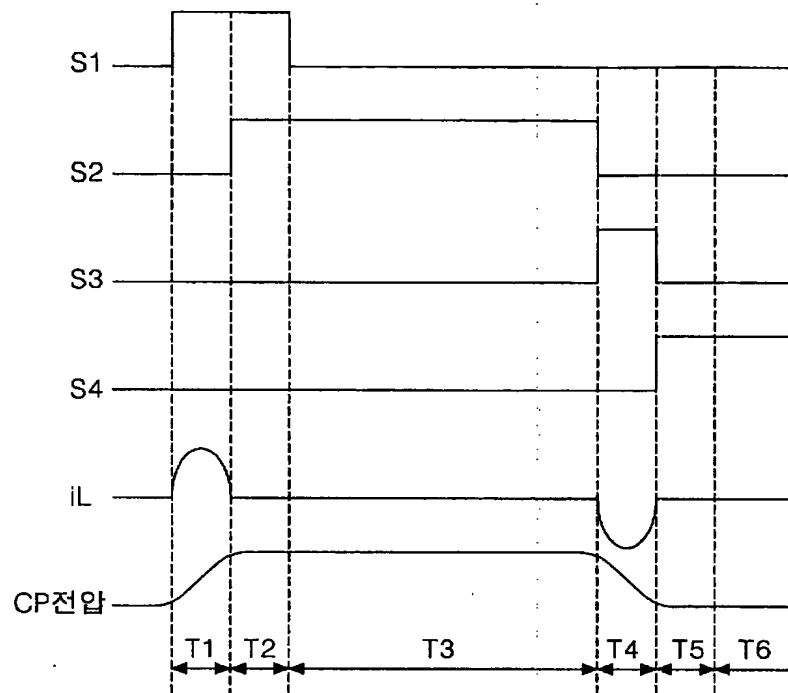
【도 1】



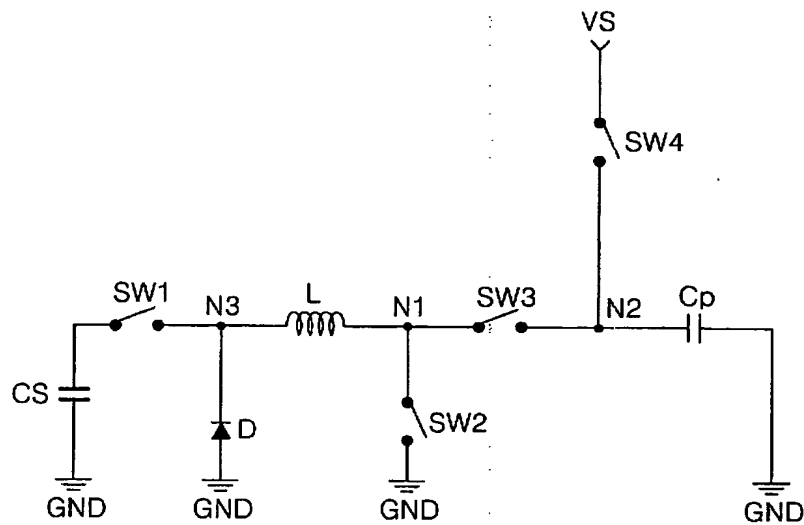
【도 2】



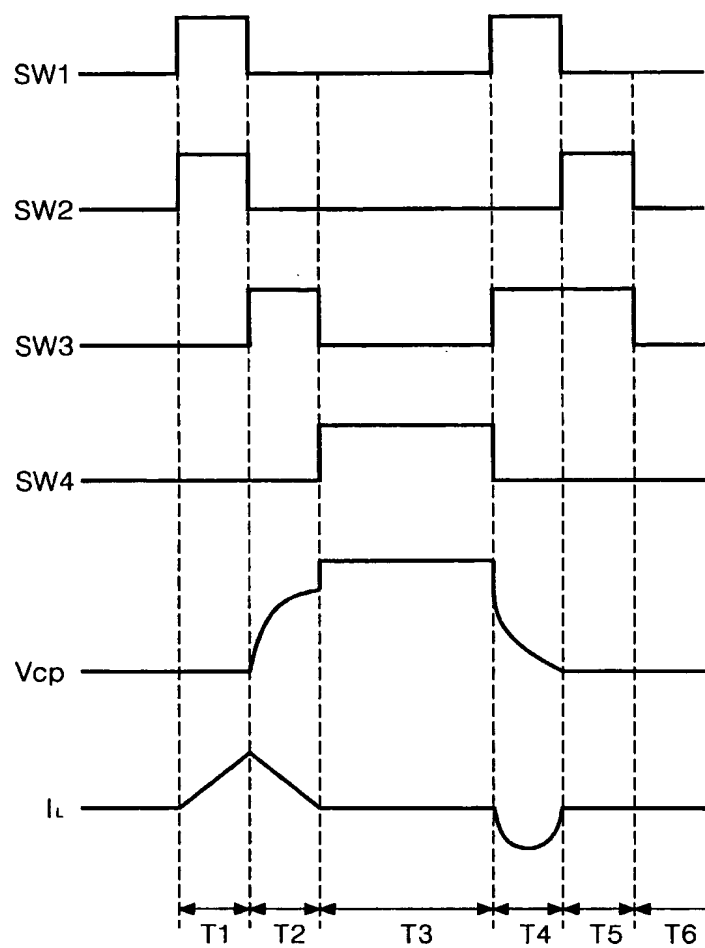
【도 3】



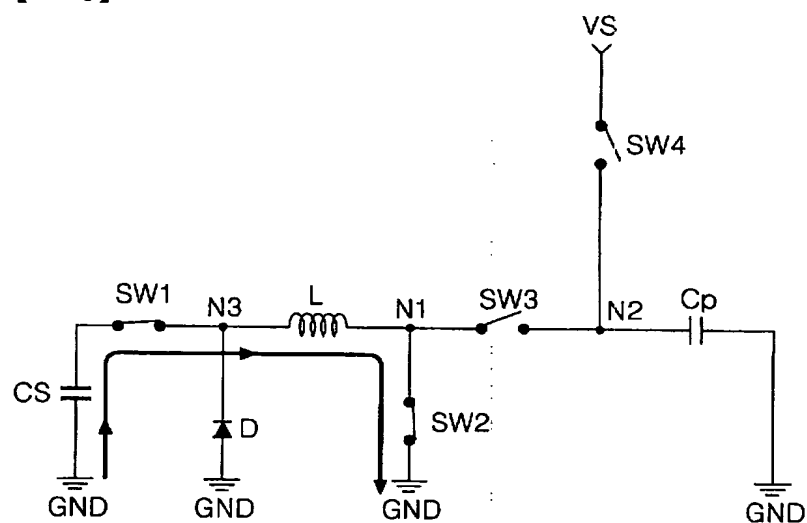
【도 4】



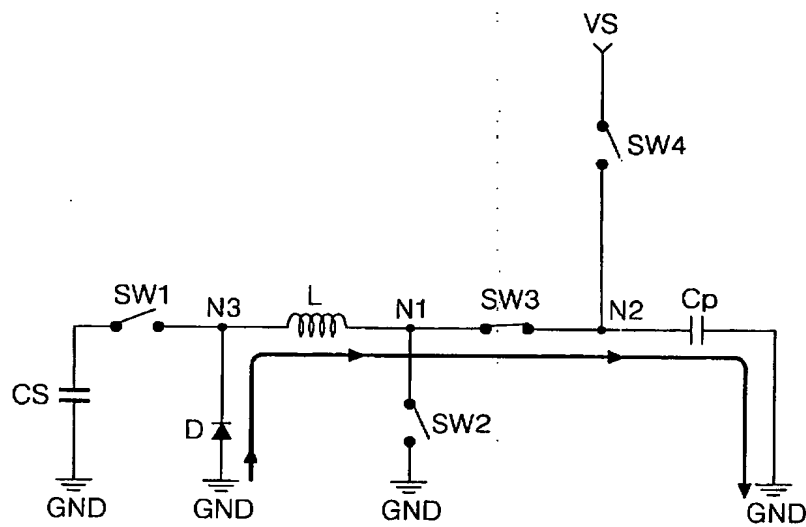
【도 5】



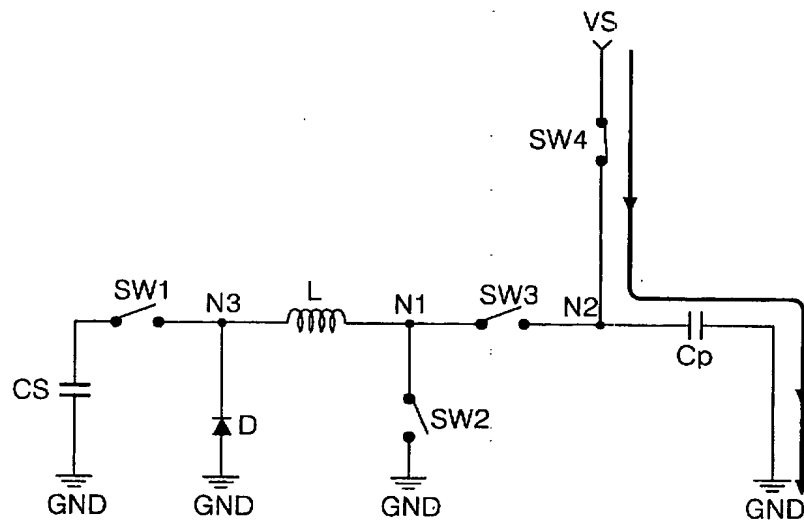
【도 6】



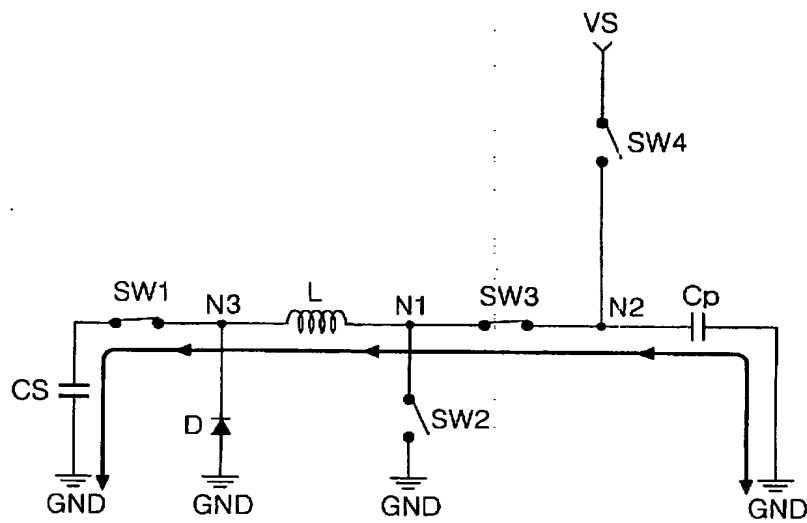
【도 7】



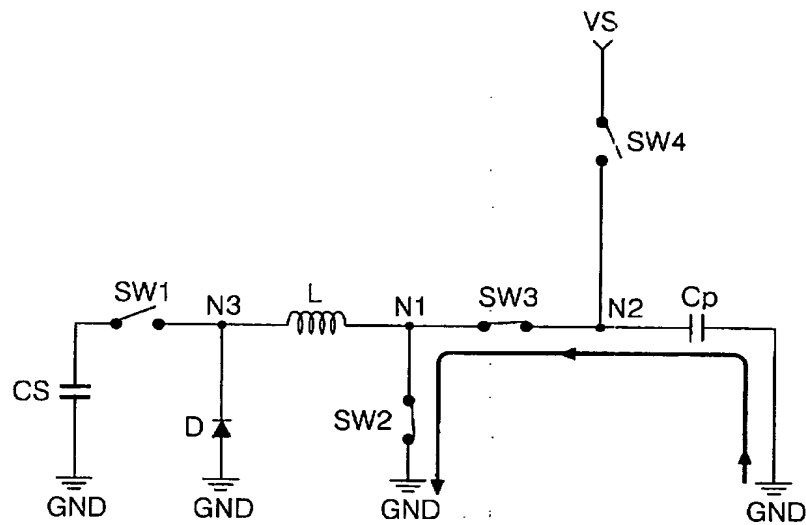
【도 8】



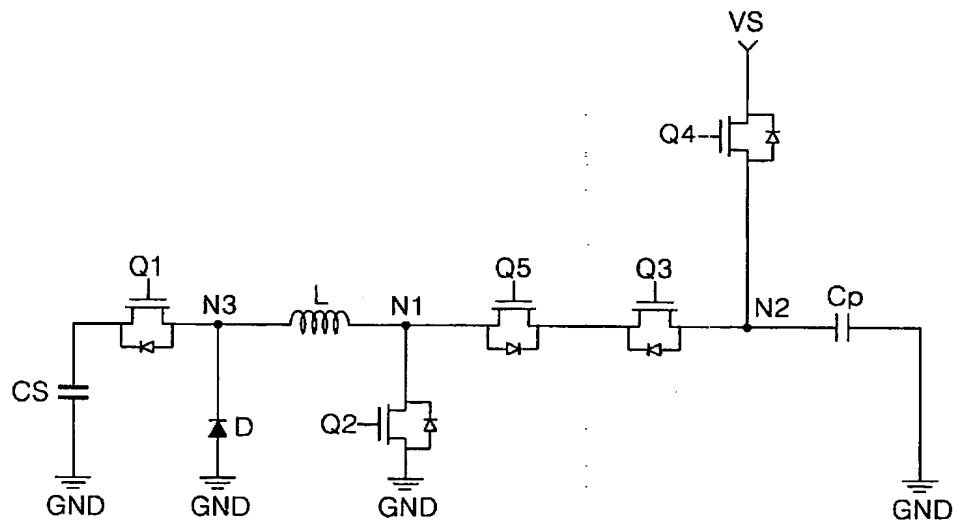
【도 9】



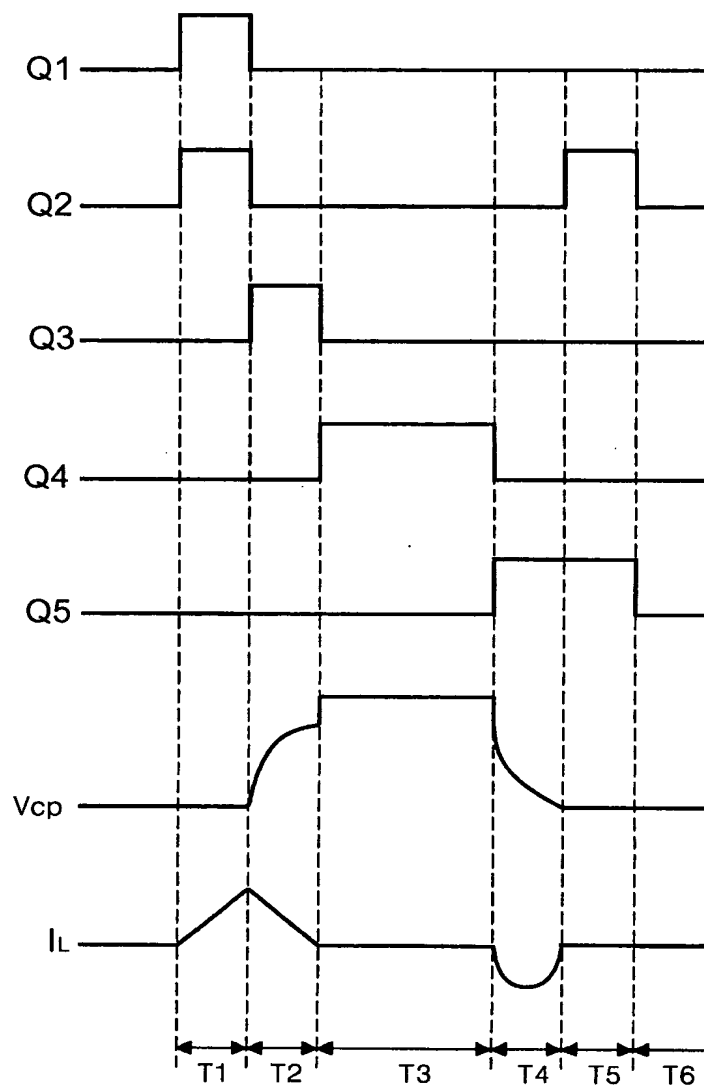
【도 10】



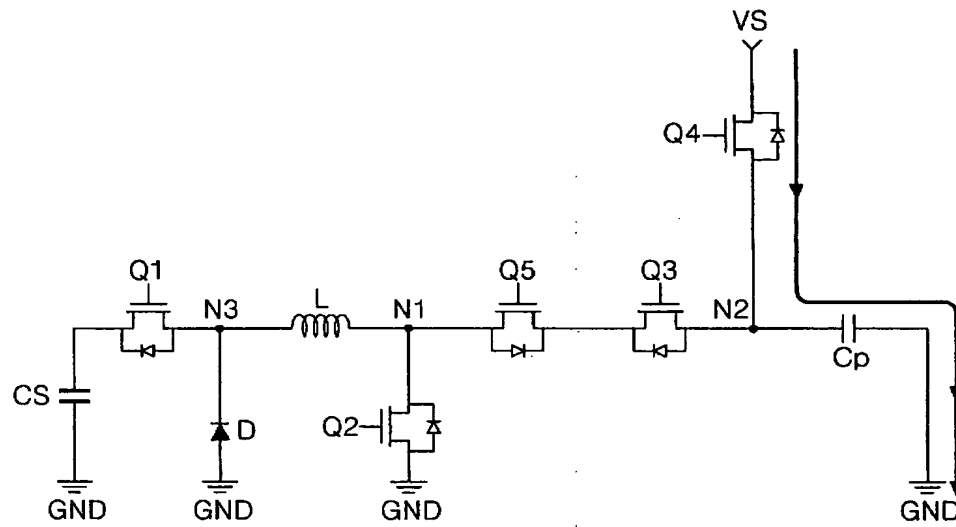
【도 11】



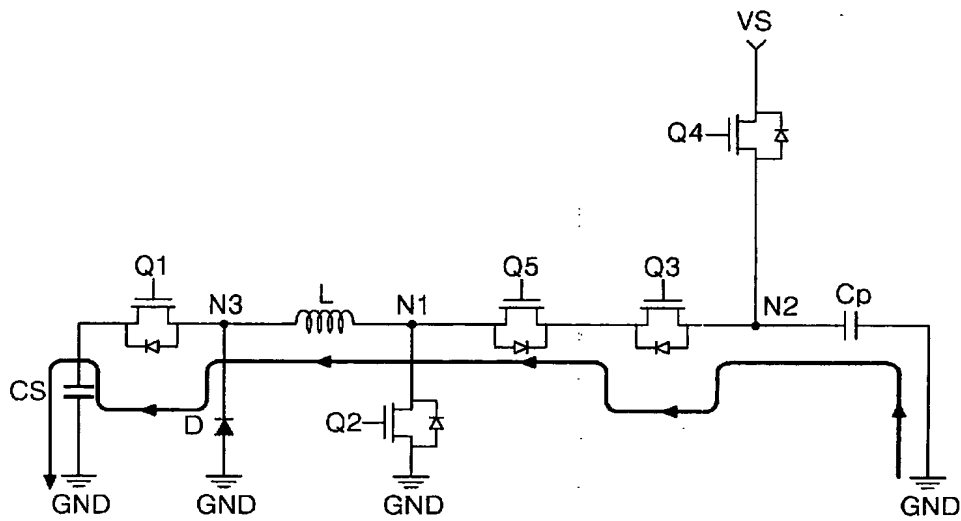
【도 12】



【도 15】



【도 16】



【도 17】

